

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-168515

(43)Date of publication of application : 22.06.1999

(51)Int.Cl.

H04L 27/00

H04L 29/08

H04M 11/00

(21)Application number : 10-238440

(71)Applicant : SUMITOMO ELECTRIC IND LTD
SASASE IWAO

(22)Date of filing : 25.08.1998

(72)Inventor : MATSUMOTO KAZUYA
SASASE IWAO

(30)Priority

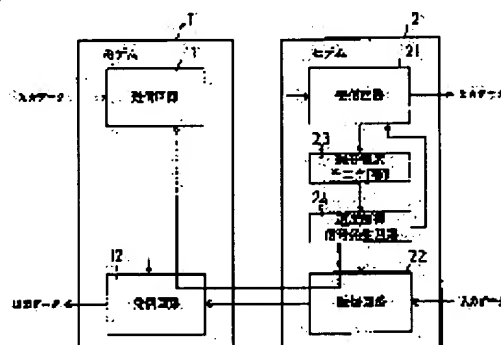
Priority number : 09232557 Priority date : 28.08.1997 Priority country : JP

(54) COMMUNICATION EQUIPMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To control a data transmission speed synchronously with a period of a noise intensity change.

SOLUTION: Based on a reception output of a reception circuit 21, a noise intensity monitor circuit 23 observes a time change of noise intensity and analyzes its periodicity. A speed control signal generating circuit 24 generates a speed control signal to control a data transmission speed of transmission circuits 11, 22 and the reception circuit 21, then lots of data are sent for a time with a high S/N.



LEGAL STATUS

[Date of request for examination]

19.11.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application]

converted registration]

[Date of final disposal for application]

[Patent number] 3078262

[Date of registration] 16.06.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Partial Translation of JPP'515

H11-168515

[0011]

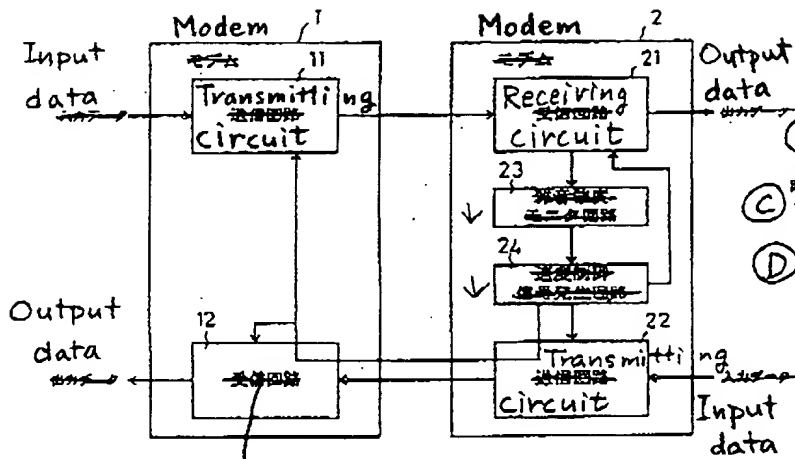
[Mode for Carrying out the Invention] Fig. 1 is a block diagram of an embodiment of the present invention. In Fig. 1, a modem 1 and a modem 2 are connected by a twisted pair wire so that a digital modulated signal is transmitted and received therebetween. The modem 1 includes a transmitting circuit 11 and a receiving circuit 12 and, on the other hand, the modem 2 includes a receiving circuit 21 and a transmitting circuit 22 and is further provided with a noise intensity monitoring circuit 23 and a speed control signal generating circuit 24 characterizing the present invention therein. The noise intensity monitoring circuit 23 observes time variation of noise intensity from the receiving output of the receiving circuit 21 and analyzes temporal periodicity of the noise intensity. An output of the noise intensity monitoring circuit 23 is given to the speed control signal generating circuit 24 that generates a speed control signal for controlling data transmission speed in synchronization with the changing speed of the noise intensity. The generated speed control signal is given to the transmitting circuit 22 as well as the transmitting circuit 11 and the receiving circuit 12 in the modem 1.

[0013] Fig. 2 is a timing chart for describing an operation of the communication apparatus shown in Fig. 1. As shown in Fig. 2, in the case of a ping-pong type ISDN, downlink data is transmitted from a telephone central office to a subscriber for 1.178 msec and then, at the next moment, uplink data is transmitted from the subscriber to the telephone central office for 1.178 msec. The transmission method in which one cycle is divided into at least two or more time periods as described above is referred to as "burst transmission", wherein there is an interval time period of

0.072 msec between an uplink burst and a downlink burst and, therefore, the uplink burst and the downlink burst are transmitted alternately in a cycle of 2.5 msec in total. Further, from the viewpoint of the telephone central office, signals from all ISDN subscribers are transmitted and received in synchronization.

[0014] The uplink burst signal from the ISDN subscribers are mixed into subscriber receivers except for the ISDN receivers as near end crosstalk noise that may reduce the SN ratio. On the other hand, the downlink burst signal from the telephone central office to the ISDN subscribers, which is also mixed into the subscriber lines except for the ISDN lines, is smaller than the near end crosstalk noise from the uplink burst. Therefore, it is preferable that optimal transmission speeds are determined both for the SN ratio during the ISDN uplink burst and the SN ratio during the ISDN downlink burst and the transmission speed is switched in synchronization with switching of the ISDN burst signals.

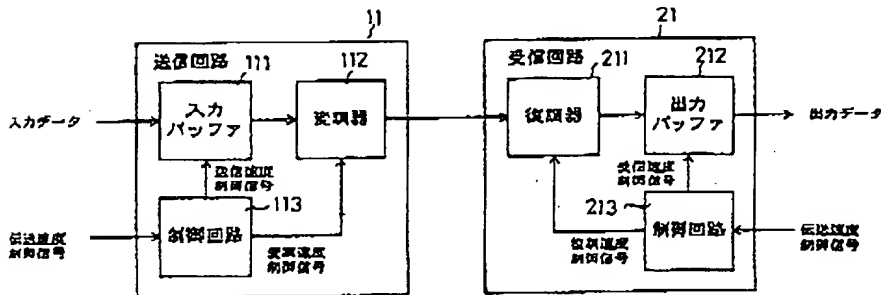
【図1】



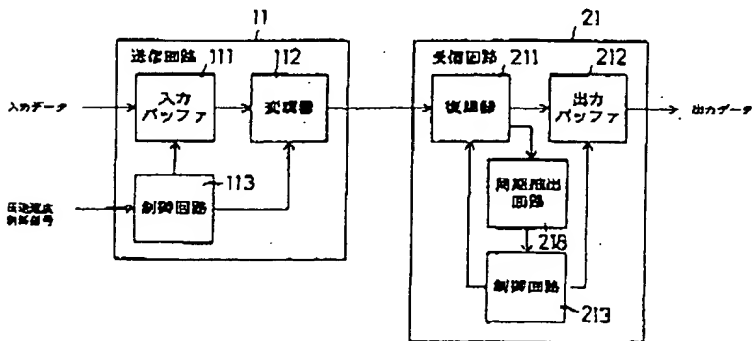
Receiving circuit

- 23 - Noise intensity monitoring circuit
24 - Speed control signal generating circuit

【図3】

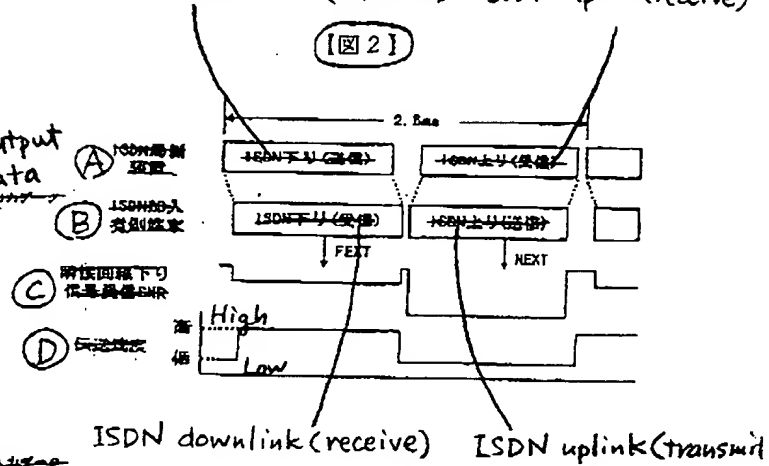


【図4】



ISDN downlink (transmit) ISDN uplink (receive)

【図2】



ISDN downlink (receive) ISDN uplink (transmit)

- A - ISDN office apparatus
B - ISDN subscriber terminal
C - Adjacent line downlink signal reception SNR
D - Transmission rate

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-168515

(43)公開日 平成11年(1999) 6月22日

(51)Int.Cl.⁶

識別記号

F I

H 0 4 L 27/00

H 0 4 L 27/00

Z

29/08

H 0 4 M 11/00

3 0 2

H 0 4 M 11/00

3 0 2

H 0 4 L 13/00

3 0 7 C

審査請求 有 請求項の数 6 O L (全 8 頁)

(21)出願番号 特願平10-238440

(22)出願日 平成10年(1998) 8月25日

(31)優先権主張番号 特願平9-232557

(32)優先日 平 9 (1997) 8月28日

(33)優先権主張国 日本 (J P)

(71)出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目 5 番33号

(71)出願人 597127786

笹 瀬 茂

神奈川県横浜市港北区日吉 3-14-1 慶

應義塾大学理工学部電気工学科

(72)発明者 松本 一也

大阪市此花区島屋一丁目 1 番 3 号 住友電

気工業株式会社大阪製作所内

(72)発明者 笹 瀬 茂

神奈川県横浜市港北区日吉 3-14-1 慶

應義塾大学理工学部電気工学科

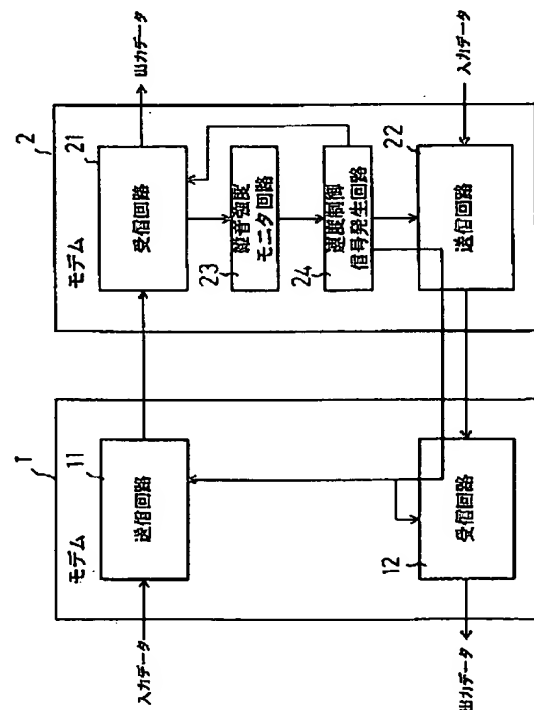
(74)代理人 弁理士 深見 久郎 (外 2 名)

(54)【発明の名称】 通信装置

(57)【要約】

【課題】 雑音強度変化の周期に同期してデータ伝送速度を制御する。

【解決手段】 受信回路 2 1 の受信出力に基づいて、雑音強度モニタ回路 2 3 が雑音強度の時間的変化を観測し、その周期性を解析して速度制御信号発生回路 2 4 は速度制御信号を発生し、送信回路 1 1、2 2 と受信回路 1 2 によるデータ伝送速度を制御することにより、S N 比の高い時間に多量のデータを送る。



【特許請求の範囲】

【請求項 1】 デジタル変調された信号を伝送路に出力する送信機と、受信した信号をデータに復調する受信機とによって高速のデータ通信を行なう通信装置において、

雑音強度の変化の周期に同期した外部からの制御信号によって、データ伝送速度を制御する伝送速度制御手段を備えたことを特徴とする、通信装置。

【請求項 2】 デジタル変調された信号を伝送路に出力する送信機と、受信した信号をデータに復調する受信機とによって高速のデータ通信を行なう通信装置において、

前記受信機は、
雑音強度の時間的変化を観測する雑音観測手段と、
前記雑音観測手段によって観測された雑音強度の時間的周期性を解析する雑音解析手段とを備え、
前記雑音解析手段によって解析された雑音強度変化の周期に同期してデータ伝送速度を制御する伝送速度制御手段を備えたことを特徴とする、通信装置。

【請求項 3】 前記雑音強度変化の 1 周期を少なくとも 2 つ以上の時間に分割し、分割した各時間ごとに観測した前記受信機側における信号対雑音比に応じて、各時間ごとに前記送受信機に含まれる変復調器の処理速度を切替えることを特徴とする、請求項 1 または 2 に記載の通信装置。

【請求項 4】 前記雑音強度変化の 1 周期を少なくとも 2 つ以上の時間に分割し、分割した各時間ごとに誤り訂正符号の符号化率を切替えることを特徴とする、請求項 1 または 2 に記載の通信装置。

【請求項 5】 前記信号の伝送路は、撚対線であることを特徴とする、請求項 1 ～ 4 のいずれかに記載の通信装置。

【請求項 6】 前記送信機側でデータを送信するのに使用する搬送波は複数であることを特徴とする、請求項 1, 2, 3 または 4 項に記載の通信装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は通信装置に関し、特に、雑音の混入しやすい撚対線を使用してデジタル信号を伝送するような通信装置に関する。

【0002】

【従来の技術】 従来の通信装置は、常に決められたデータ伝送速度で通信を行なうか、あるいは通信開始前に伝送路の状態を見て利用可能な伝送速度を設定し、それ以降は決められたデータ伝送速度で通信を行なっている。

【0003】

【発明が解決しようとする課題】 従来の通信装置において、データ伝送速度の上限は受信回路における SN 比で決められる。伝送路に混入する雑音レベルが変動すると、それに応じて SN 比が変化する。従来の通信装置で

は、SN 比の高い時間も SN 比の低い時間も同一の伝送速度で通信を行なっている。このため、予め決められた伝送速度で通信する通信装置では、SN 比が時間的に変動すると、SN 比の低い時間に伝送誤りが急激に増え、通信不能になってしまう場合があった。また、通信開始前に伝送速度の設定が可能な通信装置では、SN 比の低い時間に合わせて伝送速度が決められてしまうという欠点があった。

【0004】 特に、日本の電話加入者線においては、高速なデータ通信を行なう場合、既に存在するピンポン方式 ISDN からの漏話雑音により、データ伝送速度が大きく低下するという問題があった。

【0005】 それゆえに、この発明の主たる目的は、雑音強度変化の周期に同期してデータ伝送速度を制御できるような通信装置を提供することである。

【0006】

【課題を解決するための手段】 請求項 1 に係る発明は、デジタル変調された信号を伝送路に出力する送信機と、受信した信号をデータに復調する受信機とによって高速のデータ通信を行なう通信装置において、雑音強度の変化の周期に同期した外部からの制御信号によって、データ伝送速度を制御する伝送速度制御手段を備えて構成される。

【0007】 請求項 2 に係る発明は、デジタル変調された信号を伝送路に出力する送信機と、受信した信号をデータに復調する受信機とによって高速のデータ通信を行なう通信装置において、受信機は、雑音強度の時間的変化を観測する雑音観測手段と、観測された雑音強度の時間的周期性を解析する雑音解析手段とを備え、さらに解析された雑音強度変化の周期に同期してデータ伝送速度を制御する伝送速度制御手段を備えて構成される。

【0008】 請求項 3 に係る発明では、請求項 1 または 2 の雑音強度変化の 1 周期を少なくとも 2 つ以上の時間に分割し、分割した各時間ごとに観測した受信機側における信号対雑音比に応じて、各時間ごとに送受信機に含まれる変復調器の処理速度を切替える。

【0009】 請求項 4 に係る発明では、雑音強度変化の 1 周期を少なくとも 2 つ以上の時間に分割し、分割した各時間ごとに誤り訂正符号の符号化率を切替える。

【0010】 請求項 5 に係る発明では、信号の伝送路は、撚対線である。請求項 6 に係る発明では、送信機側でデータを送信するのに使用する搬送波は複数である。

【0011】

【発明の実施の形態】 図 1 はこの発明の一実施形態のブロック図である。図 1 においてモデム 1 とモデム 2 とが撚対線によって接続されて、相互の間でデジタル変調された信号の送受信が行なわれる。モデム 1 は送信回路 11 と受信回路 12 とを含み、モデム 2 は受信回路 21 と送信回路 22 とを含むとともに、この発明の特徴となる雑音強度モニタ回路 23 と速度制御信号発生回路 24

とが内蔵される。雑音強度モニタ回路23は、受信回路21の受信出力から雑音強度の時間的変化を観測し、雑音強度の時間的周期性を解析する。雑音強度モニタ回路23の出力は速度制御信号発生回路24に与えられ、雑音強度変化の周期に同期してデータ伝送速度を制御するための速度制御信号が発生される。発生された速度制御信号は送信回路22とモデム1内の送信回路11と受信回路12とに与えられる。

【0012】次に、動作について説明する。雑音強度モニタ回路23は受信回路21の出力に基づいて、雑音レベルをモニタしていて、雑音レベルの変動が時間的な周期性を持っていることを解析すると、速度制御信号発生回路24はSN比の高い時間とSN比の低い時間で伝送速度を切替えるための速度制御信号を出力する。それによって、モデム1と2との間でSN比の高い時間に多量のデータを送ることが可能になる。

【0013】図2は図1に示した通信装置の動作を説明するためのタイミング図である。図2に示すように、ピンポン方式ISDNの場合、電話局から加入者への下りデータが1.178msecの間伝送され、次の瞬間加入者から電話局への上りデータが1.178msec間伝送される。このように、1周期を少なくとも2つ以上の時間に分割して伝送する方法をバースト伝送というが、上りバーストと下りバーストの間に0.072msecのインターバル時間が存在し、全体では2.5msec周期で上りバーストと下りバーストが交互に伝送されるシステムとなっている。また、局から見て、全ISDN加入者の信号は、同期して送信、受信される。

【0014】ISDN加入者からの上りバースト信号は、ISDN以外の加入者受信機へ近端漏話雑音として混入し、SN比低下を引起す。一方、局からISDN加入者への下りバースト信号がISDN以外の加入者線に遠端漏話として混入するが、これは上りバーストからの近端漏話雑音に比較して小さい。つまり、ISDN上りバースト時のSN比と、ISDN下りバースト時のSN比のそれぞれに対して最適な伝送速度を求め、ISDNバースト信号の切替わり時に同期して伝送速度を切替えるのが好ましい。

【0015】伝送速度の切替へには、2種類の実現方法がある。1つは、変復調器の処理速度を切替える方法であり、もう1つは誤り訂正符号の符号化率を切替える方法である。

【0016】図3は変復調器の処理速度を切替える実施形態を示すブロック図である。図3において、図1に示した送信回路11は入力バッファ111と変調器112と制御回路113とを含み、受信回路21は復調器211と出力バッファ212と制御回路213とを含む。入力バッファ111には入力データが与えられ、制御回路113には図1に示した速度制御信号発生回路24から伝送速度制御信号が与えられる。制御回路113は伝送

速度制御信号に基づいて、送信速度制御信号を入力バッファ111に与え、変調速度制御信号を変調器112に与える。一方、受信回路21の制御回路213は伝送速度制御信号を受けて復調速度制御信号を復調器211に与え、受信速度制御信号を出力バッファ212に与える。

【0017】この実施形態では、伝送速度制御信号に応じて、送信回路11の入力バッファ111の送信速度と変調器112の変調速度を制御し、受信回路21の復調器211における復調速度と出力バッファ212における受信速度を制御することにより、雑音強度変化の周期と同期してデータ転送速度を制御することができ、最適な伝送速度を設定することができる。

【0018】図4は変復調器の処理速度を切替える他の例を示すブロック図である。図4において、送信回路11は図3に示した実施形態と同様にして構成されるが、受信回路21には同期抽出回路218が設けられる。図3に示した実施形態では、外部からの伝送速度制御信号を受けて、復調速度制御信号と受信速度制御信号を出力するようにした。これに対して、図4に示した実施形態は、復調器211の復調出力に基づいて同期抽出回路218が雑音強度変化の周期に同期して復調速度制御信号と受信速度制御信号を出力する。

【0019】図5は誤り訂正符号の符号化率を切替える実施形態のブロック図である。図5において、送信回路11には、入力バッファ111と変調器112との間に畳込符号回路114が設けられていて、制御回路115は伝送速度制御信号に応じて、読出速度制御信号を入力バッファ111に与え、符号化率制御信号を畳込符号回路114に与える。一方、受信回路21では、復調器211と出力バッファ212との間にビタビ復号回路214が挿入されていて、制御回路215は伝送速度制御信号に応じて復号モード制御信号をビタビ復号回路214に与える。

【0020】この実施形態では、送信回路11において符号化率制御信号によって畳込符号回路114が畳込符号からシンボルを消去し、符号化率を高めるパンクチャド符号技術が用いられる。受信回路21も同様にして、復号モード制御信号によってビタビ復号回路214で受信データの符号化率に対応した復号動作を行なう。

【0021】図6はこの発明のさらに他の実施形態のブロック図である。この実施形態は、伝送路として撚対線を用いたものであり、局側モデム10と加入者側モデム20とから構成されている。局側モデム10と加入者側モデム20は図4に示した送信回路と受信回路とを組合せたものである。すなわち、局側モデム10は送信回路としての入力バッファ111と変調器112と通信制御回路113とを含むとともに、受信回路としての復調器215と出力バッファ216と受信制御回路217とを含み、さらに変調器112および復調器215を伝送路

としての撚対線 5 に接続するためのハイブリッド回路 6 を含む。

【0022】加入者側モデム 20 も送信回路としての入力バッファ 114 と変調器 115 と送信制御回路 116 とを含み、受信回路として復調器 211 と出力バッファ 212 と同期抽出回路 218 と受信制御回路 213 とを含み、さらに変調器 115 と復調器 211 とを撚対線 5 に接続するためのハイブリッド回路 7 を含む。

【0023】図 6 に示した局側モデム 10 と加入者側モデム 20 の各送受信回路の動作は前述の図 4 と同じであり、双方向にデータの送受信が可能となる。なお、両方の伝送速度は等しい対称型でも片方が速い非対称型であってもよい。

【0024】図 7 はこの発明が適用される複数の搬送波による変調器と復調器を示すブロック図であり、特に、(a) は変調器を示し、(b) は復調器を示す。

【0025】図 7 において、入力データはコンステレーションエンコーダ 31 に入力されて複数の搬送波で直交変調するためにシンボル配置される。直交変調では \sin 波と \cos 波とによりデータが 2 次元的に配置され、SN 比に応じて各搬送波にデータビットが割当てられる。少なくとも、SN 比の良好な搬送波に対しては 2 次元的に多数のビットが割当てられる。シンボル配置されたデータは IDFT 32 に与えられて逆フーリエ変換され、P/S 変換器 33 によってパラレルなデータがシリアルに変換され、DAC 34 によってアナログ信号に変換された後、ドライバ 35 から変調信号が出力される。

【0026】一方、図 7 (b) に示す復調器では、入力信号がレシーバ 41 に与えられて ADC 42 によってデジタル信号に変換され、S/P 変換器 43 によってシリアルな信号がパラレルな信号に変換され、DFT 44 によってフーリエ変換され、コンステレーションデコーダ 45 によってコンステレーションエンコーダ 31 とは逆の操作が行なわれてデータが出力される。

【0027】図 8 は図 7 に示した変復調器による複数の搬送波の配置例を示す図である。この例では、30 kHz ~ 1104 kHz の周波数域内で 4.3125 kHz の周波数間隔で複数の搬送波を配置したものである。このような複数の搬送波による変復調器を図 3 ~ 図 5 に示した変復調器に代えて用いることができる。

【0028】

【発明の効果】以上のように、この発明によれば、受信側において雑音強度の時間的変化を観測し、雑音強度の時間的周期性を解析してデータ伝送速度を制御するようにしたので、SN 比の高い時間に多量のデータを送るこ

とが可能になる。

【図面の簡単な説明】

【図 1】この発明の一実施形態を示すブロック図である。

【図 2】図 1 に示した実施形態の動作を説明するためのタイミング図である。

【図 3】変復調器の処理速度を切換える実施形態を示すブロック図である。

【図 4】変復調器の処理速度を切換える実施形態を示すブロック図である。

【図 5】誤り訂正符号の符号化率を切換える実施形態を示すブロック図である。

【図 6】この発明のさらに他の実施形態のブロック図である。

【図 7】この発明が適用される複数の搬送波による変調器と復調器を示すブロック図である。

【図 8】図 4 に示した変復調器による複数の搬送波の配置図である。

【符号の説明】

1, 2 モデム

5 撚対線

6, 7 ハイブリッド回路

11, 22 送信回路

12, 21 受信回路

23 雑音強度モニタ回路

24 速度制御信号発生回路

31 コンステレーションエンコーダ

32 IDFT

33 P/S

34 DAC

35 ドライバ

41 レシーバ

42 ADC

43 S/P

44 DFT

45 コンステレーションデコーダ

111, 114 入力バッファ

112, 115 変調器

113, 115, 213, 215 制御回路

114 畳込符号回路

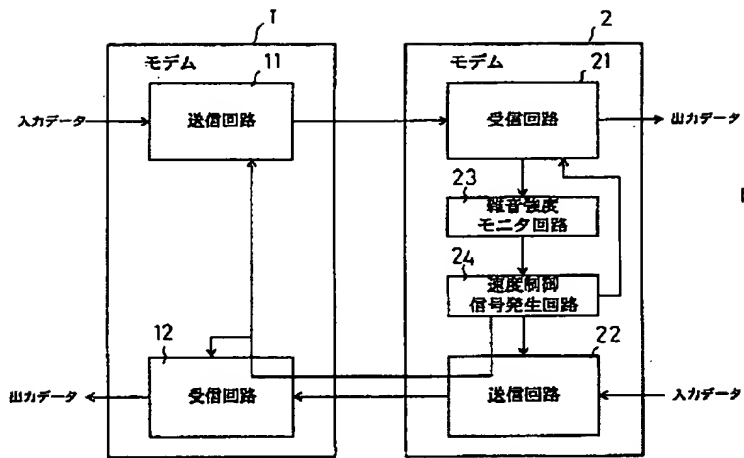
211, 215 復調器

212, 216 出力バッファ

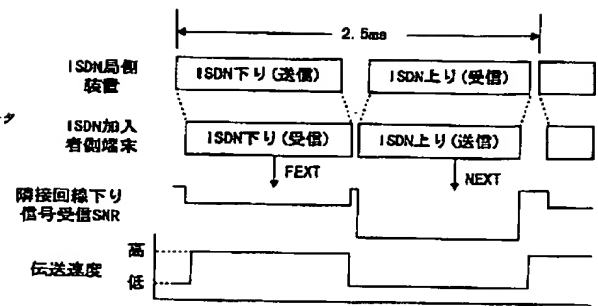
214 ビタビ復号回路

218 同期抽出回路

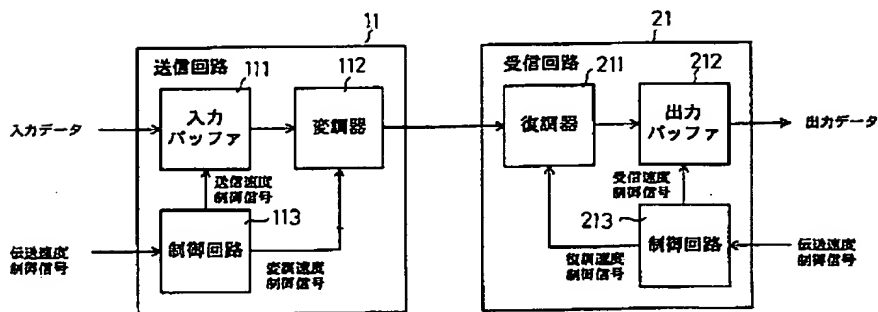
【図1】



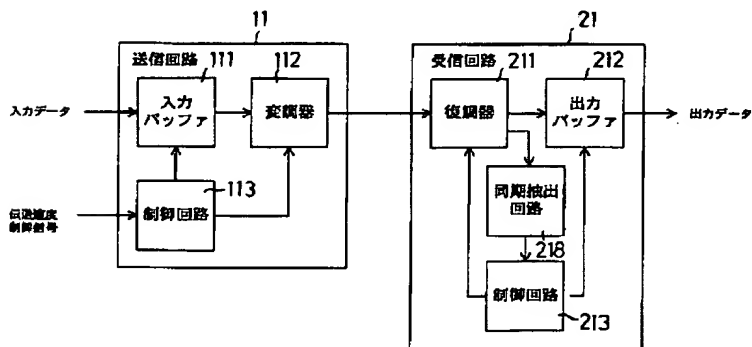
【図2】



【図3】

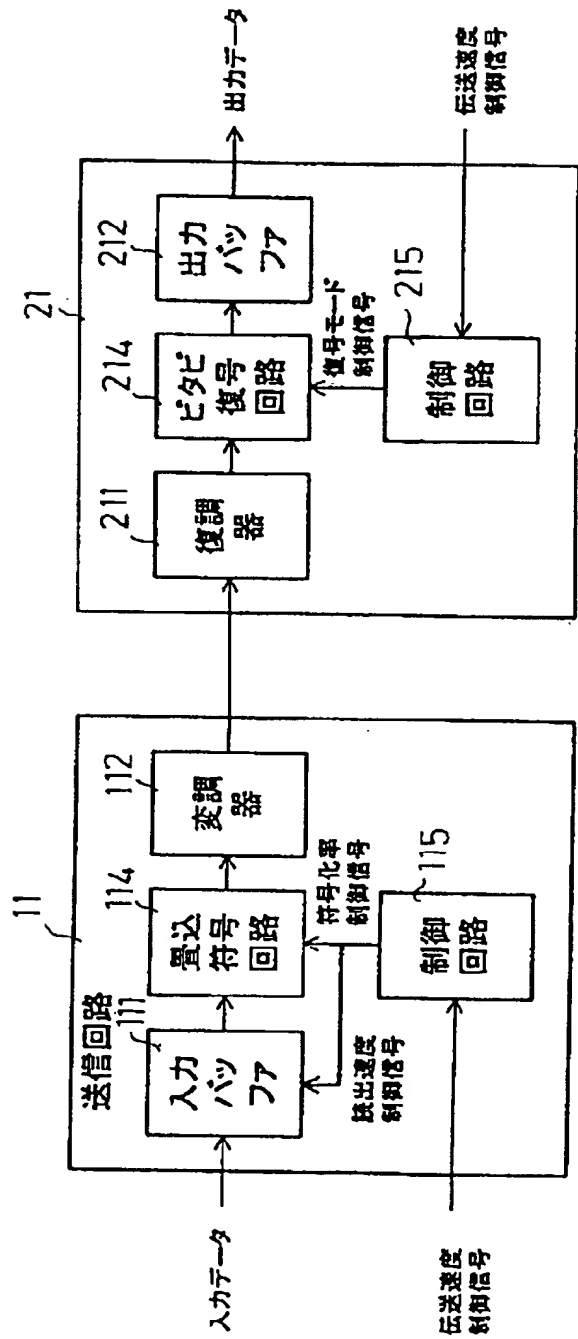


【図4】

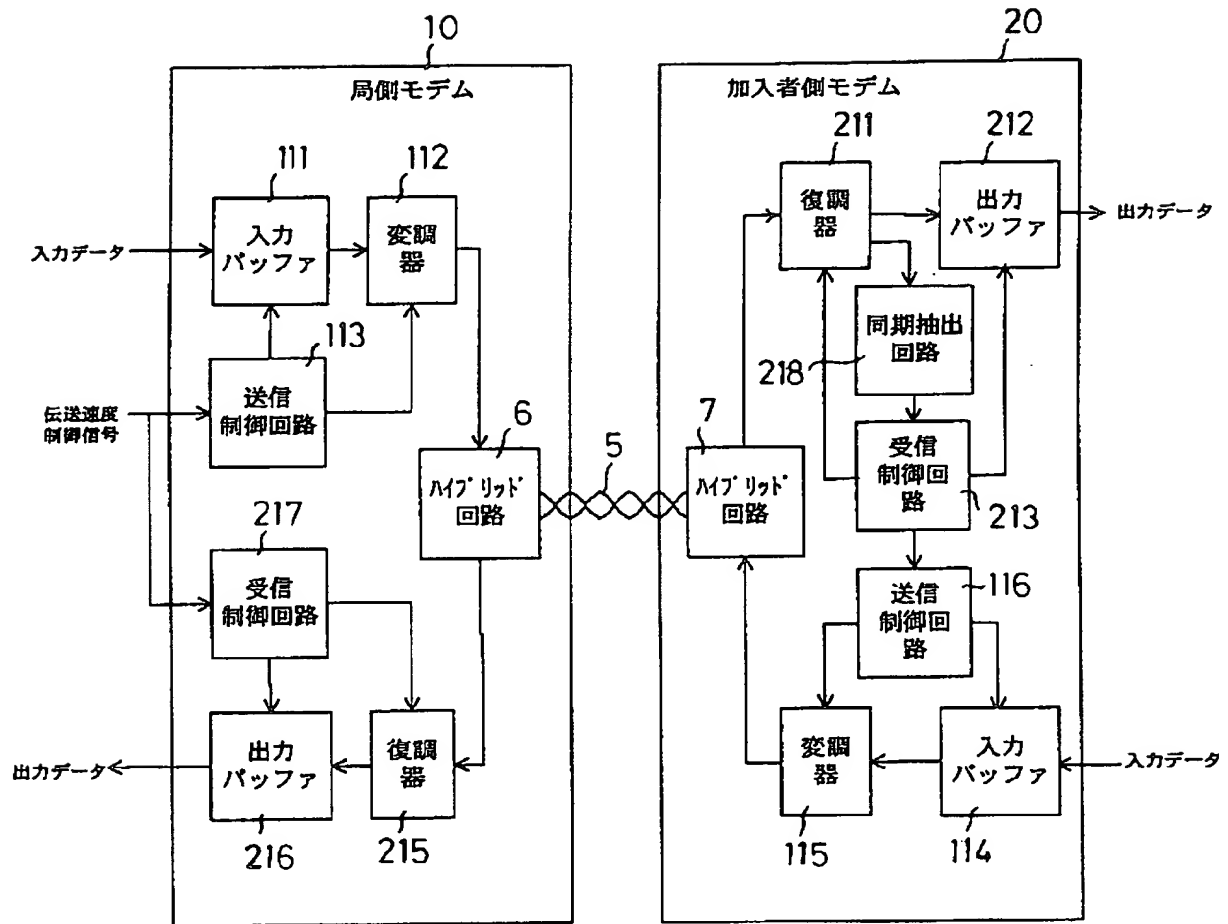


(6)

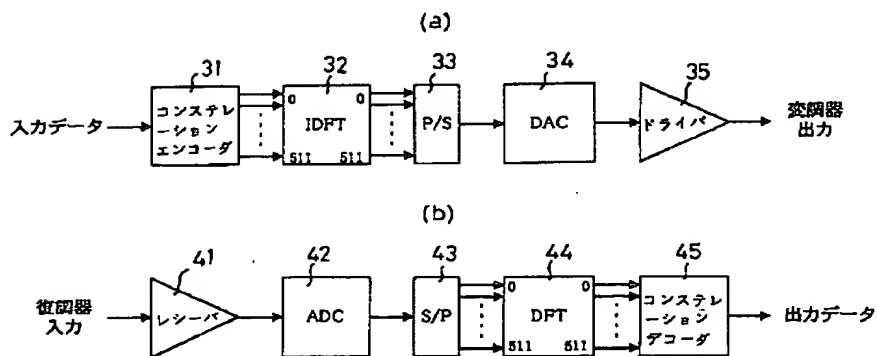
【図 5】



【図6】



【図7】



【図8】

